

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1019950003030 B1
(43)Date of publication of application: 29.03.1995

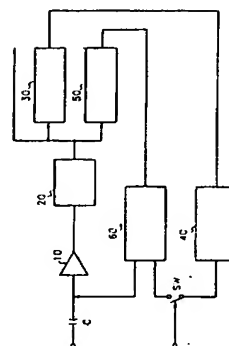
(21)Application number: 1019900021230
(22)Date of filing: 20.12.1990
(51)Int. Cl. H04N 5/18

(71)Applicant: SAMSUNG ELECTRONICS CO.
(72)Inventor: LEE, KI-SEOK

(54) CLAMPING CIRCUIT FOR DIGITAL IMAGE PROCESSING

(57) Abstract:

The circuit provides an accurate clamping by extracting the clamp signal from the image at every horizontal synchronizing period. The circuit includes: (a) an A/D converter(20) which converts an analog signal into digital signal; (b) a clamp level detector(30) which detects the variation of the DC level in the clamp signal; (c) a clamp level determination and applying circuit(40) which controls the clamp voltage according to the variation of the consecutive two lines; (d) a noise level detector(50) which detects the noise corresponding to the size of clamp line; (e) a clamp time constant determinator(60) which determines the clamp time constant according to the detected noise level.



Copyright 1997 KIPO

Legal Status

Date of final disposal of an application (19950531)

Patent registration number (1000858150000)

Date of registration (19950616)

Excerpt from Korean Patent
Publication No. 1995-0003030
(Registered Korean Patent No. 0085815)

What is claimed is:

1. A clamping circuit comprising:

an A/D converter (20) for converting an input analog video signal into a digital signal;

a clamp level detector (30) for detecting changes in direct current level in a clamp signal;

a clamp level determining and applying section (40) for controlling a clamp voltage corresponding to values of the difference in direct current level of continuous two lines obtained in the clamp level detector (30);

a noise level detector (50) for detecting noise level corresponding the level of the clamp line from noise contained in the digital signal output from the A/D converter (20), and

a clamp time constant determining and applying section (60) for determining a clamp time constant in accordance with the noise level detected by the noise level detector (50).

2. The clamping circuit according to Claim 1, wherein the clamp level detector (30) compares integral values of horizontal synchronizing signals in the two lines which are consecutive to a horizontal scanning period to detect the amount of the changes in direct current level in a video signal for each line.

3. The clamping circuit according to Claim 1, wherein the clamping level determining and applying section (40) comprises a latch (42) for latching the integral values of the horizontal synchronizing signals detected by the clamp level detector (30); a D/A converter (43) for converting the signal latched by the latch into an analog voltage signal; and an integration means (44) which includes a low pass filter configured by an operational amplifier (OPI) for inverting an output signal from the D/A converter (43) and a

capacitor (C1), a damping resistor (R), and a capacitor (C2) for performing charging operation through the damping resistor (R), and controls the clamp voltage to be charged by the capacitor (C2) in accordance with the output signal from the D/A converter.

4. The clamping circuit according to Claim 1, wherein the clamp time constant determining and applying section (60) controls values of clamp resistors (R1, R2, R3, and R4) and a value of clamp capacitor (C) which determine the clamp time constant such that the values become greater as the amount of noise increases.

5. The clamping circuit according to Claim 1 or 4, wherein the clamp time constant determining and applying section (60) removes a disperse signal using the clamp time constant.

특1995-0003030

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.
H04N 5/18

(45) 공고일자 1995년03월29일
(11) 공고번호 특1995-0003030

(21) 출원번호	특1990-0021230	(65) 공개번호	특1992-0014185
(22) 출원일자	1990년12월20일	(43) 공개일자	1992년07월30일
(71) 출원인	삼성전자 주식회사 강진구 경기도 수원시 권선구 매탄동 416번지		

(72) 발명자 이기석
경기도 수원시 장안구 천천동 천천주공아파트 116동 502호
(74) 대리인 이영필, 최덕용

심사관 : 조흥환 (특허공보 제3918호)

(54) 클램핑회로

요약

내용 없음.

도표도

도1

명세서

[발명의 명칭]

클램핑회로

[도면의 간단한 설명]

제1도는 본 발명에 의한 클램핑회로의 전체구성블럭도.
제2도는 본 발명의 전송신호포맷을 설명하기 위한 도면.
제3도는 제1도의 클램프레벨검출부의 상세회로도.
제4도는 제1도의 클램프 시정수 결정 및 인가부의 상세회로도.
제5도는 제1도의 잡음레벨검출부의 상세회로도.
제6도는 제1도의 클램프레벨결정 및 인가부의 상세회로도.
제7도는 잡음레벨과 클램프시정수와의 관계를 설명하기 위한 도면.

* 도면의 주요부분에 대한 부호의 설명

10 : 버퍼부
20 : A/D변환부
30 : 클램프레벨검출부
40 : 클램프레벨결정 및 인가부
50 : 잡음레벨검출부
60 : 클램프시정수결정 및 인가부

[발명의 상세한 설명]

본 발명은 디지털 영상신호처리에 있어서 클램핑회로에 관한 것으로, 특히, 영상신호의 직류성분을 정확하게 재생하는 클램핑회로에 관한 것이다.

일반적으로 색차신호전송방식의 HDTV나 고해상도를 실현시키기 위한 EDTV를 포함한 TV신호처리에 있어서, 수신측에 입력되는 영상신호의 직류성분은 저지시키고 교류성분의 영상신호를 영상처리하게 된다. 그러나 화면의 평균밝기에 해당하는 성분은 직류성분이므로, 신호의 전송과정에 소실된 이 직류성분을 재생해 주기 위해서 클램핑회로가 필요하게 된다.

종래의 클램핑회로에서는 한 프레임 주기마다 화상의 동기신호 부분과 같은 특정부분과 같은 특정부분을 임의의 고정된 직류레벨에 클램핑함으로써, 광고방송(CM) 또는 장면의 바뀔 등으로 전화면에 흑레벨이 삽입과 같은 화상의 급변시에 화상의 흑레벨변화 및 색조의 변화를 초래하게 되며, 클램프 시정수의 고정에 따라 위성방송에 삽입된 에너지확산용변조신호 및 전원의 잡음 등에 의한 영향으로 화질이 떨어지는 문제점이 있었다.

상기한 문제점을 극복하기 위하여, 입력되는 영상신호로부터 클램프 신호를 추출하여 적분하고, 이 적분값은 수평주사기간동안 유지하며 수평동기신호주기에 따라 입력화상에 공급하여 일정한 직류레벨에 클램프되는 클램핑회로를 제공하는데 그 목적이 있다.

상술한 목적을 달성하기 위하여, 입력되는 아날로그 영상신호를 디지털신호로 변환하기 위한 A/D변환부와 디지털영상신호중 클램프신호에 포함된 직류레벨의 변화를 추출하는 클램프 레벨검출부와, 상기 클램프 레벨검출부의 연속하는 두라인의 직류 성분변동값에 대응하는 클램프전압을 제어하는 클램프레벨결정 및 인가부와, 상기 A/D변환부로부터 출력되는 디지털신호의 잡음을 클램프라인의 크기에 대응하는 잡음을 검출하는 잡음레벨 검출부와, 상기 잡음레벨검출부에서 검출된 잡음량에 따라 클램프 시정수를 결정하는 클램프시정수결정 및 인가부를 포함함을 특징으로 하고 있다.

이하, 첨부된 도면을 참조하여 본 발명에 의한 클램핑회로의 바람직한 실시예를 설명하기로 한다.

제1도는 본 발명에 의한 클램핑회로의 전체구성블록도이다.

제1도에 의하면, 버퍼부(10)에서는 콘덴서(C)에 의해 직류성분은 저지되고, 통과된 교류성분의 영상신호를 버퍼시킨다.

A/D변환부(20)에서는 버퍼부(10)를 통과한 영상신호를 디지털 신호로 양자화시킨다.

클램프 레벨검출부(30)는 상기 디지털신호를 라인단위의 주기, 즉 수평동기신호주기로 클램프 신호의 직류레벨의 변화를 검출한다.

클램프레벨결정 및 인가부(40)는 상기 클램프레벨검출부(30)의 연속하는 두라인의 직류 성분값이 증가하면 클램프전압을 감소시키고, 직류성분값이 감소하면 클램프전압을 증가시킨다.

잡음레벨검출부(50)는 상기 A/D변환부(10)의 출력신호중 563번째 라인과 1129번째 클램프라인의 샘플값을 비교하여 잡음레벨을 검출시킨다.

클램프시정수결정 및 인가부(60)는 상기 잡음레벨검출부(50)의 검출된 잡음량에 따라 클램프시정수를 결정한다.

본 발명에 의한 클램핑회로의 동작에 대하여 제1도를 결부시켜 상세히 설명하기로 설명하기로 한다.

제2도는 본 발명의 전송신호포맷을 설명하기 위한 도면이다.

전송되는 영상신호가 A/D변환부(20)에서 A/D변환된 디지털신호중 수평동기기간의 정극 동기신호는 샘플번호 2,3,4,5와 7,8,9,10의 샘플번호6의 신호에 대하여 시간간격 및 값의 크기로 서로 대칭이 된다. 송신측에서는 샘플번호 2,3,4,5의 샘플값은 64/256, 샘플번호 7,8,9,10의 샘플값은 192/256, 샘플번호 6의 샘플값은 128/256으로 규정하여 전송시키고 있다.

제3도는 본 발명에 채용된 클램프레벨검출부의 상세회로도이다.

제3도에 의하면, A/D변환부(20)에서 A/D변환된 영상신호 중 정극동기신호를 가산기(32)의 입력단(31)에 입력시킨다. 상기 가산기(32) 및 래치(33)에서는 제2도의 2번에서 10번까지의 샘플값이 합산된다.

이때, 래치(33)의 클럭단에 입력되는 클럭신호(CLK1)는 16.2MHz의 샘플간의 시간간격에 해당하며 클리어단에 입력되는 신호는 제2도의 2번 샘플이 래치(33)에 입력되는 순간 클리어가 해제되도록 하며 11번 샘플이 래치(33)에 입력되는 순간 클리어되도록 하는 윈도우신호(WINDOW1)이다. 2번에서 11번까지의 9개 샘플이 합산된 값이 래치(34)에 가해지며, 래치(34) 및 래치(35)의 클럭단에 수평동기신호주기의 33.75KHz의 클럭이 가해지고 있다. 상기 래치(34) 및 래치(35)는 가산기(32) 및 래치(33)에 의하여 매라인의 적분된 수평동기신호샘플값이 한 라인 간격으로 저장된다. 이때, 래치(34)에 새로운 라인의 값이 입력되면 래치시켜 다음 라인의 값이 입력될 때까지 유지하고 있으며, 가지고 있던 값은 새로운 값의 래치와 동시에 다음의 래치(35)에 넘겨준다.

따라서, 가산기(36)에는 연속한 두라인의 수평동기신호의 적분값이 입력되며 합산되므로, 수평동기신호기간의 샘플값의 적분치가 변화하는량을 검출할 수 있게 되며, 라인단위의 신호에 포함된 직류레벨의 변화를 추출한다.

제4도는 제1도의 클램프레벨결정 및 인가부의 전체구성블록도이다.

제4도에 의하면, 제3도의 가산기(36)의 출력단(37)으로부터 출력되는 직류레벨의 변화량, 즉, 라인단위의 수평동기신호의 샘플치 적분값이 입력단(41)에 입력되면 라인주기의 클럭신호(CLK3)에 의하여 래치(42)에 라인주기로 래치시킨다. O/A변환부(43)에서는 적분디지털값을 아날로그 전압신호로 출력시킨다. 이 아날로그로 변환된 적분값은 연산증폭기(OP1)에 의하여 극성이 반전되며, 콘덴서(C1) 및 연산증폭기(OP1)에 의한 저역필터에서 잡음제거된 후 댐핑저항(R)을 통하여 콘덴서(C2)에 충전되며 출력단(45)으로 클램프전압이 출력된다. 이때, 콘덴서(C2)에 충전되는 클램프전압은 연속하는 두라인의 직류성분값이 증가하면 클램프전압은 연산증폭기(OP1)의 반전단자에 인가되는 공급전압을 높여서 감소시키고, 직류성분값이 감소하면 클램프전압을 증가시킨다. 따라서, 클램프전압에 의해 버퍼부(10)에 입력되는 영상신호는 항상 일정한 직류전압이 가해지게 된다. 또한 A/D변환부(20)의 A/D한 값 및 신호출력도 일정한 직류레벨을 가지게 된다.

제5도는 제1도의 잡음레벨검출부(50)의 상세회로도이다.

제5도에 의하면, A/D변환부(20)에서 A/D된 신호는 래치(52)의 입력단(51)에 입력되면 래치(52)에 의하여 래치됨과 동시에 가산기(53)에 입력된다. 여기서, 잡음레벨을 검출하는 신호는 제2도에 도시된 바와 같이 전송신호중 클램프라인으로 이를 뽑아낸 583번째 라인과 1129번째 라인의 신호는 128/256의 크기를 가지며, 이 신호에 대하여 잡음레벨을 검출한다. 래치(52) 및 래치(56)의 클럭신호(CLK4)는 일정기간 즉, 16.2MHz의 샘플클럭신호(CLK1)의 4클럭분배에 해당하는 클럭신호이며 래치(56)의 클리어단에 입력되는 신호

는 윈도우신호(WINDOW2)이다.

이때 클램프라인 563, 1125의 파형은 128/256의 일정한 크기를 가지고 있으므로 감산기(53)의 출력값 및 절대치처리기(54)의 출력값은 영이 될 것이다. 그러나 전송과정중 잡음이 혼입케되면 563, 1125번째 라인
의 신호가 일정치 않게 되고 잡음이 따라 래치(52) 및 감산기(53)의 출력값도 변동된다.

따라서, 이 변동값에 절대치를 취하고 가산기(55) 및 래치(56)에 의하여 일정기간 적분하면 일정기간동안
의 잡음량을 구할 수 있게 된다. 구해진 잡음량은 563번째와 1125번째의 라인신호입력에 따라 필드마다
리프레쉬되며 잡음량도 래치(56)의 출력단(57)으로부터 출력된다.

제6도는 제1도의 클램프시정수결정 및 인가부의 상세회로도이다.

제6도에 의하면, 제5도의 출력단(57)으로부터 출력되는 잡음량에 의하여 각각 다른 저항값(R1, R2, R3, R4)
을 선택하는 디코더부(62)에서는 디코딩된 신호에 따라 클램프 저항값(R1, R2, R3, R4)을 선택한다.

제1도의 스위치(SW)에 연결된 단자(63)와 버퍼부(10)의 입력단과 연결된 단자(64) 사이의 저항값을 변화
시켜 제1도의 클램프 콘덴서(C)와 함께 클램프 시정수를 변화시켜 주도록 동작한다.

클램프시정수와 잡음량의 관계는 제7도에 도시된 바와 같이 잡음레벨이 클수록 클램프시정수도 커지는 관
계를 만족하도록 디코더부(62)에서 디코딩하고 있다.

여기서, 디코더부(62)에서 검출된 잡음량에 따라 클램프 저항을 변화시킨 후 클램프레벨결정 및 인가부
(40)로부터 출력되는 클램프전압은 클램프 콘덴서(C)로 방전시킨다.

또한, 이 클램핑 시정수는 기존 방송의 지상통신과는 달리 위성 통신을 이용하는 HDTV방송에 있어서 반사
파 간섭방지를 위한 15Hz의 디스퍼셜신호를 제거하게 된다.

따라서, 클램프레벨을 입력신호의 수평도기기간중 6번째 샘플을 중심으로 대칭되게 가해 라인간 반전되는
수평동기신호에 관계없이 일정한 직류레벨을 가지게 한다.

또한, 신호의 전송과정중 소실된 화상의 평균 밝기를 나타내는 직류정보가 재생될 뿐만 아니라 PMA(Pulse
Amplitude Modulation)방식으로 전송되는 HDTV신호를 정확하게 재생하여 A/D변환함으로써 정보손실이 없
게 된다.

이상으로 상술한 바와 같이, 본 발명에 의한 클램프회로는 화상의 급변시 화면의 흑레벨의 변화 및 색조의
변화를 빠르게 대응하여 클램핑시킴으로써 선명하고 충실한 화상을 재현시킬 수 있게 된다.

또한, 전송중 혼입하는 잡음에 대하여 클램프 시정수를 바꿔주어 전원의 험잡음 또는 위상방송의 디스퍼
셜신호 등의 저주파 주기성잡음을 억제하는 효과가 있다.

(57) 청구의 범위

청구항 1

입력되는 아날로그영상신호를 디지털신호로 변환하기 위한 A/D변환부(20)와, 디지털 영상 신호 중 클램프
신호에 포함된 직류레벨의 변화를 검출하는 클램프레벨검출부(30)와, 상기 클램프레벨검출부(30)의 연속
하는 두라인의 직류성분변동값에 대응하는 클램프전압을 제어하는 클램프레벨결정 및 인가부(40)와, 상기
A/D변환부(20)로부터 출력되는 디지털신호의 잡음을 클램프라인의 크기에 대응하는 잡음을 검출하는 잡음
레벨검출부(50)와, 상기 잡음레벨검출부(50)에서 검출된 잡음량에 따른 클램프 시정수를 결정하는 클램프
시정수결정 및 인가부(60)를 포함함을 특징으로 하는 클램핑회로.

청구항 2

제1항에 있어서, 상기 클램프레벨검출부(30)는 수평주사주기로 연속하는 두라인의 수평동기신호의 적분치
를 비교하여 라인단위의 신호에 포함된 직류레벨의 변화량을 검출함을 특징으로 하는 클램핑회로.

청구항 3

제1항에 있어서, 상기 클램프레벨결정 및 인가부(40)는 상기 클램프레벨검출부(30)에서 검출된 수평동기
신호의 적분치를 래치시키는 래치(42)와, 상기 래치에 의해 래치된 신호를 아날로그전압신호로 변환시키
는 D/A변환부(43)와, 상기 D/A변환부(43)의 출력신호를 반전시키는 연산증폭기(OP1) 및 콘덴서(C1)로 구
성된 저역필터, 임피던스(R), 임피던스(R)를 통하여 충전시키는 콘덴서(C2)로 구성되어 상기 D/A변환기의
출력신호에 따라 상기 콘덴서(C2)에 충전되는 클램프전압을 제어하는 적분수단(44)을 포함함을 특징으로
하는 클램핑회로.

청구항 4

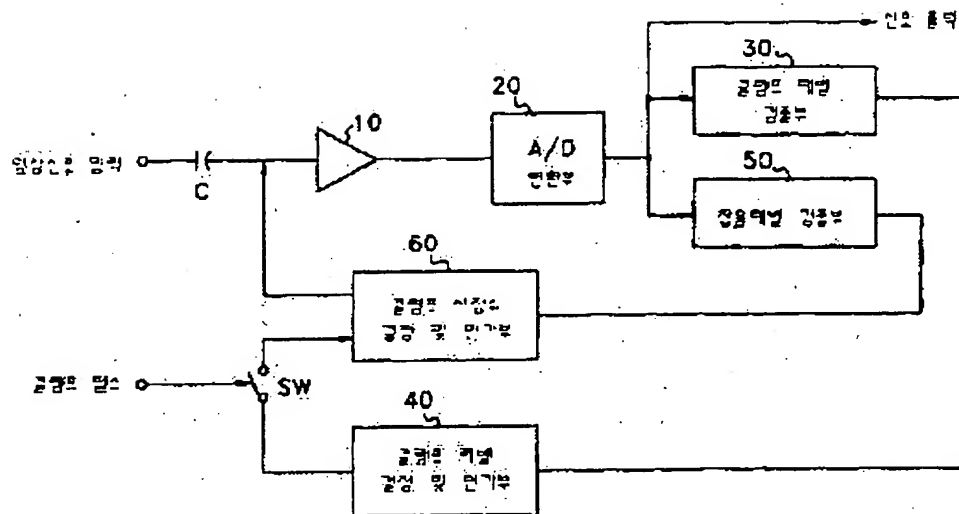
제1항에 있어서, 상기 클램프시정수 및 결정부(60)는 잡음량이 클수록 클램프시정수를 결정하는 클램프저
항(R1, R2, R3, R4) 및 클램프 콘덴서(C)값을 크게 제어함을 특징으로 하는 클램핑회로.

청구항 5

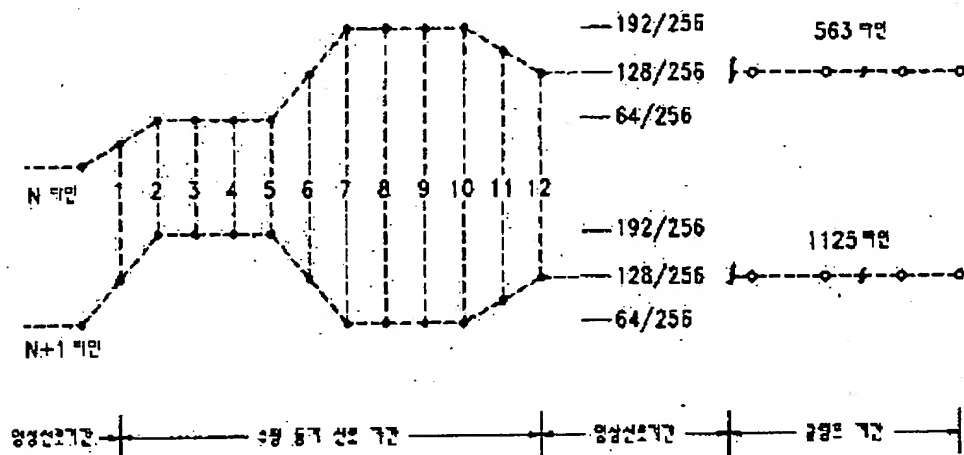
제1항 또는 제4항에 있어서, 상기 클램프시정수 및 결정부(60)는 클램프시정수에 의해 디스퍼셜 신호를
제거함을 특징으로 하는 클램핑회로.

도면

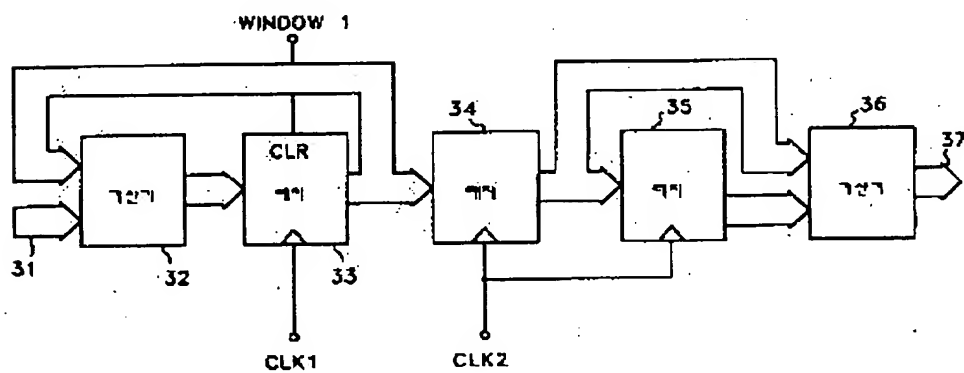
도면1



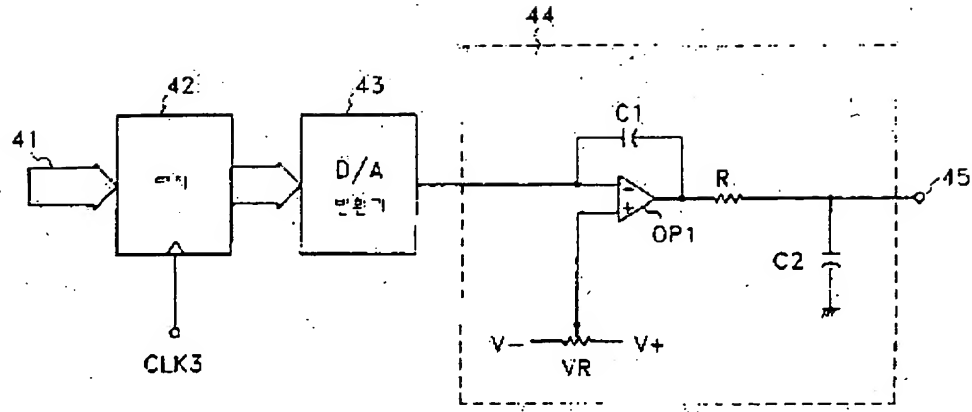
도면2



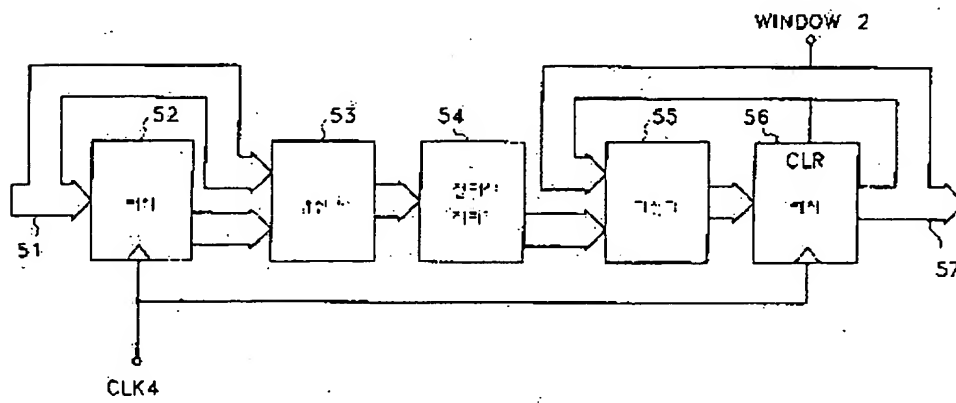
도면3



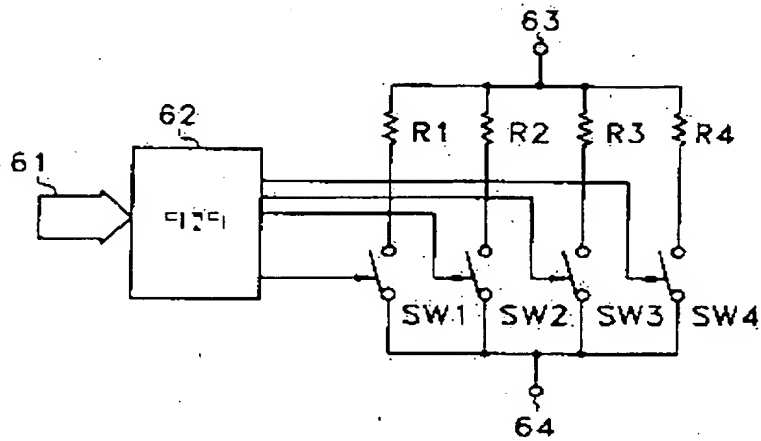
도면4



도면5

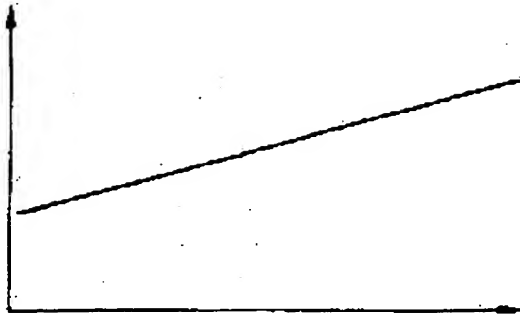


도면6



도면 7

불량품
시장수



작업 레벨